

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 03-145315
 (43) Date of publication of application : 20.06.1991

(51) Int. Cl. H03H 7/20
 H03K 5/00

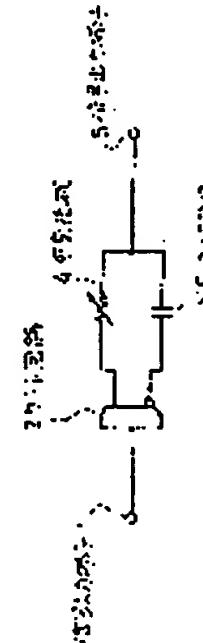
(21) Application number : 01-283841 (71) Applicant : NEC CORP
 (22) Date of filing : 31.10.1989 (72) Inventor : HASEGAWA MASATO

(54) VARIABLE PHASE CIRCUIT

(57) Abstract:

PURPOSE: To eliminate a need of a transformer by outputting the in-phase output and the anti-phase output of a clock signal by a gate circuit.

CONSTITUTION: The clock signal inputted to a signal input terminal 1 is inputted to a gate circuit 2, and the in-phase output and the anti-phase output are outputted from this circuit 2. One output passes a variable resistance 4 and the other passes a capacitor 5, and they are added and are outputted from a signal output terminal 6. At this time, the sum of these two signals is taken to convert signals to a vector sum; and when the resistance value of the variable resistance 4 is changed, the vector sum is changed to output the signal, which has the phase changed, from the signal output terminal 6. Thus, a transformer to get the in-phase output and the anti-phase output is unnecessary to reduce the scale and the weight of the circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

BEST AVAILABLE COPY

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平3-145315

⑬Int. Cl.

H 03 H 7/20
H 03 K 5/00

識別記号

序内整理番号

D 6959-5 J
S 8321-5 J

⑭公開 平成3年(1991)6月20日

審査請求 未請求 請求項の数 1 (全3頁)

⑮発明の名称 可変位相回路

⑯特 願 平1-283841

⑰出 願 平1(1889)10月31日

⑱発明者 長谷川 正人 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳代理人 弁理士 鈴木 章夫

明細書

1. 発明の名称

可変位相回路

2. 特許請求の範囲

1. 少なくとも1入力2出力に構成され、かつ2つの出力にそれぞれ正相出力と逆相出力を出力するゲート回路と、このゲート回路の一方の出力に接続した可変抵抗と、他方の出力に接続したコンデンサとを備え、前記可変抵抗とコンデンサの各出力を合成するように構成したこと等特徴とする可変位相回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は可変位相回路に関し、特にクロック信号の位相を可変する可変位相回路に関する。

(従来の技術)

従来、この種の可変位相回路はトランジスタを用いて構成するのが一般的であり、その一例を第3図に示す。同図において、11は信号入力端子、12はゲート回路、13はトランジスタ、14は可変

抵抗、15はコンデンサ、16は信号出力端子を示している。

この構成にあっては、入力信号端子11からゲート回路12に入力されたクロック信号は、ゲート回路12の出力からトランジスタ13の一次側に入力される。そして、トランジスタ13の二次側は中点を接続しているため、その両端からはそれぞれ正相、逆相の信号が出力され、可変抵抗14、コンデンサ15に入力され、その上で両者が加えられる。ここで、可変抵抗14の抵抗値を変化させることにより、正相、逆相の信号のベクトル和が変化し、位相が変化されたクロック信号が信号出力端子16から出力される。

(発明が解決しようとする課題)

上述した従来の可変位相回路は、トランジスタを利用して正相、逆相の信号を得ているため、トランジスタが必要とされる。ところが、トランジスタは通常大きくて重いため、可変位相回路の回路構成が大型化、高価量化し、しかもトランジスタが高価であるために高価格化をまねくという問題がある。

本発明の目的は、トランスを不要とした可変位相回路を提供することにある。

〔課題を解決するための手段〕

本発明の可変位相回路は、少なくとも1入力2出力に構成され、かつ2つの出力にそれぞれ正相出力と逆相出力を出力するゲート回路と、このゲート回路の一方の出力に接続した可変抵抗と、他方の出力に接続したコンデンサとを備えており、これら可変抵抗とコンデンサの各出力を合成するように構成している。

〔作用〕

この構成では、ゲート回路から1つの入力信号に対する正相出力と逆相出力を取り出すことができ、これらの出力を可変抵抗とコンデンサを通して合成することで任意の位相を得ることが可能となる。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図は本発明の可変位相回路の一実施例の回路図である。図において、1は信号入力端子、2

はのベクトル和は $V_1 + V_2$ となり、このときの位相は θ となる。可変抵抗 4 の抵抗値が R' となると、可変抵抗 4 の出力は V_1' となり、ベクトル和は $V_1' + V_2$ となり、このときの位相は θ' となる。これにより、位相が θ から θ' に変化されたことが判る。

したがって、この可変位相回路では、ゲート回路 2 でクロック信号の正相出力と逆相出力を出力させているので、トランスは不要となり、回路構成の小型化、軽量化を図り、かつ低価格化を可能とする。

〔発明の効果〕

以上説明したように本発明は、ゲート回路から1つの入力信号に対する正相出力と逆相出力を取り出し、これらの出力を可変抵抗とコンデンサを通して合成して任意の位相を得ているので、正相出力と逆相出力を併せるためのトランスを不要とし、回路構成を小型化、軽量化でき、かつ低価格化を実現することができる効果がある。

4. 図面の簡単な説明

はゲート回路、4は可変抵抗器、5はコンデンサ、6は信号出力端子である。ここで、前記ゲート回路3は、BCL (Emitter Coupled Logic) やCML (Current Mode Logic) で構成され、1つの入力端子と2つの出力端子を有し、かつ2つの出力端子の各出力は正相出力と逆相出力となって出力されるように構成されている。

この構成によれば、信号入力端子1に入力されたクロック信号はゲート回路2に入力され、ここからは正相出力と逆相出力がそれぞれ出力される。そして、一方の出力は可変抵抗4を経され、他方の出力はコンデンサ5を経された上で、それぞれが加算されて信号出力端子6から出力される。このとき、これら2つの信号の和をとることにより信号はベクトル和され、可変抵抗4の抵抗値を変化させるとベクトル和が変化され、信号出力端子6から位相が変化した信号が出力される。

第2図にベクトル和の変化を示す。可変抵抗4からの出力を V_1 とし、コンデンサ5からの出力を V_2 とすると、可変抵抗4がある抵抗値 R' のと

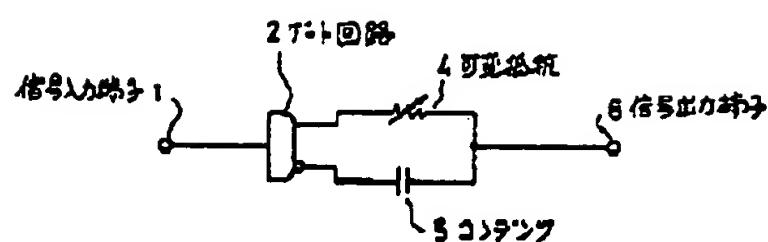
第1図は本発明の一実施例の回路図、第2図は信号のベクトル和とその位相を示す図、第3図は従来の可変位相回路の一例を示す回路図である。

1. 1 1 …信号入力端子、2. 1 2 …ゲート回路、4. 1 4 …可変抵抗、5. 1 5 …コンデンサ、6. 1 6 …信号出力端子、1 9 …トランス。

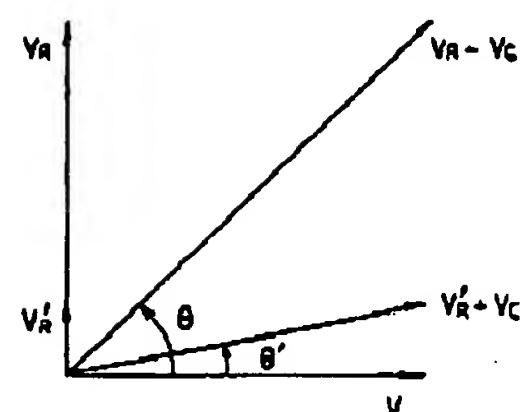
代理人 斎藤士 稲木幸



第 1 図



第 2 図



第 3 図

